

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-261438

(43)Date of publication of application : 22.09.2000

(51)Int.Cl.

H04L 12/28

(21)Application number : 11-060377

(71)Applicant : SONY CORP

(22)Date of filing : 08.03.1999

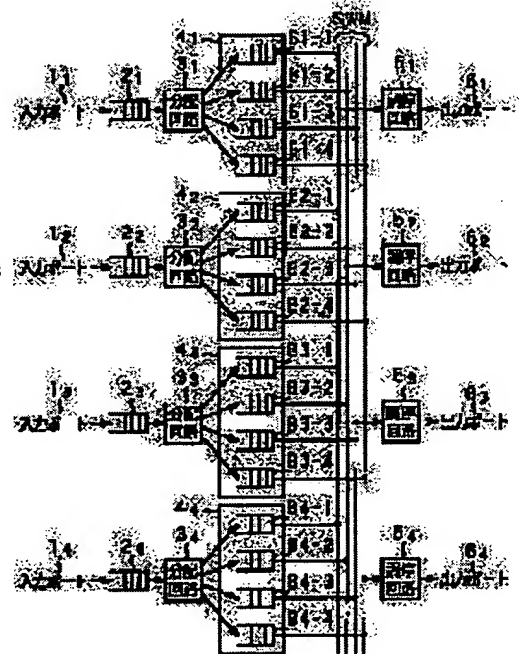
(72)Inventor : MIYOSHI HIROSHI
HASEGAWA JUNICHI
KUNITO YOSHIYUKI

(54) FRAME DATA EXCHANGE AND ITS METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a frame exchange where a low operating frequency of a bus is selected and a cell loss rate is decreased more than that of an ATM exchange adopting a conventional input buffer system.

SOLUTION: Since a buffer B_{n-n} of a small capacity provides a tentative storage location of cells C , a distribution circuit $3n$ receives a new cell C_n from an input buffer $2n$ and can apply processing to the cell. Thus, HOL blocking hardly takes place. Furthermore, since the buffer with the small capacity transfers cells to one output port, a switching matrix is sufficient if it is an $N:1$ multiplexer structure. This is much simpler than a complete crossbar structure.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the
examiner's decision of rejection or application converted
registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of
rejection][Date of requesting appeal against examiner's decision of
rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-261438

(P2000-261438A)

(43) 公開日 平成12年9月22日 (2000.9.22)

(51) Int.Cl.⁷

H 0 4 L 12/28

識別記号

F I

H 0 4 L 11/20

データベース* (参考)

H 5 K 0 3 0

9 A 0 0 1

審査請求 未請求 請求項の数 6 O L (全 11 頁)

(21) 出願番号

特願平11-60377

(22) 出願日

平成11年3月8日 (1999.3.8)

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 三好 寛

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(72) 発明者 長谷川 順一

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(74) 代理人 100067736

弁理士 小池 晃 (外2名)

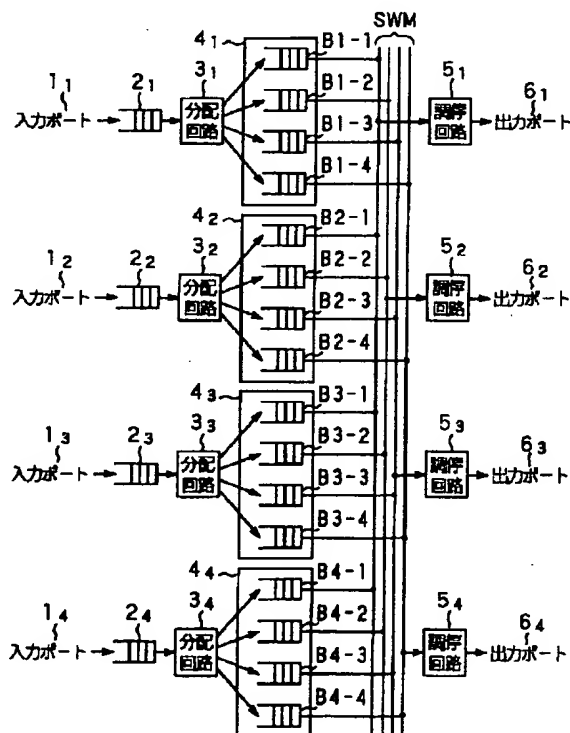
最終頁に続く

(54) 【発明の名称】 フレームデータ交換装置及び方法

(57) 【要約】

【課題】 バスの動作周波数を抑え、かつ、セル損失率を従来の入力バッファ方式を用いたATM交換機構よりも低く抑えることのできるフレーム交換装置を提供する。

【解決手段】 小容量バッファB_{n-n}が一時的なセルCの格納場所を提供するので、分配回路3_nは入力バッファ2_nから新しいセルC_nを受け取り、処理することが出来る。したがってHOLブロッキングが生じにくい。また、小容量バッファはただ一つの出力ポートにセルを転送するので、スイッチングマトリクスSWMはN:1のマルチプレクサ構造であれば充分となる。これは完全なクロスバー構造よりずっと単純である。



【特許請求の範囲】

【請求項1】 データを所定量のフレーム単位で交換するフレームデータ交換装置において、

入力ポート側に外部から到着したフレームデータを格納する入力バッファ手段と、

上記入力バッファ手段に格納された各フレームデータの宛先を見て各フレームデータを出力ポートに対応させて分配する分配手段と、

上記分配手段で出力ポートに対応させて振り分けられたフレームデータを一時的に蓄積するために上記出力ポートに対応するように上記分配手段の先に接続される、メモリ手段と、

上記メモリ手段と上記出力ポートとの間を繋ぐスイッチング手段と、

上記スイッチング手段を制御する調停手段とを備えることを特徴とするフレームデータ交換装置。

【請求項2】 非同期転送モードにより上記フレーム単位のデータを交換することを特徴とする請求項1記載のフレームデータ交換装置。

【請求項3】 上記メモリ手段は、上記フレームデータが貯まったら上記調停手段に転送要求を出すことを特徴とする請求項1記載のフレームデータ交換装置。

【請求項4】 上記調停手段は、複数のメモリ手段から競合状態のうちに、上記転送要求を受け取ると、優先度に応じて転送許可を出すことを特徴とする請求項1記載のフレームデータ交換装置。

【請求項5】 データを所定量のフレーム単位で交換するためのフレームデータ交換方法において、

入力ポート側に外部から到着したフレームデータを入力バッファに格納するフレームデータ格納工程と、

上記フレームデータ格納工程により格納された各フレームデータの宛先を見て各フレームデータを出力ポートに対応させて分配する分配工程と、

上記分配工程で出力ポートに対応させて分配されたフレームデータをメモリ部に一時的に蓄積するフレームデータ蓄積工程と、

上記メモリ部と上記出力ポートとの間のスイッチング部を制御する調停工程と、

上記調停工程で調停されたスイッチング部の使用許可に応じてフレーム蓄積工程で蓄積されたフレームデータを出力ポートに転送する転送工程とを備えることを特徴とするフレームデータ交換方法。

【請求項6】 非同期転送モードにより上記フレーム単位のデータを交換することを特徴とする請求項5記載のフレームデータ交換方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、データを所定量のフレーム単位で交換するフレームデータ交換装置及び方法に関する。

【0002】

【従来の技術】 遠隔会議、大規模分散コンピューティング、データベースなどの通信アプリケーションでは、高速なネットワークが必要になっている。そこで、非同期転送モード (Asynchronous Transfer Mode, ATM) による高速通信が採用されるようになった。このATMは、音声、データ、画像などの情報をデジタル化し、それらの情報を一定の長さの短い情報単位に分割し、高速に交換処理して相手に伝送するという技術である。

【0003】 現行のATM交換機構では、大きく3つの方式が採用されている。それぞれ、(1) 入力バッファ方式、(2) 出力バッファ方式、(3) 共有バッファ方式と呼ばれている。

【0004】 (1) 入力バッファ方式では、各入力ポートにセルを一時的に格納するメモリを用意する。メモリは入力されるセルを確実に格納する必要がある、入力ポートの情報伝送速度以上の速度で動作する。フレームの転送は入力された順序に従って行われる (FIFO: フォーストインファーストアウト方式) ため、メモリの先頭のセルが出力ポートを他の入力ポートと取り合う (競合状態に陥る) と、後続のセルを転送できなくなる現象 (HOL (ヘッドオブライン) Blocking現象) が生じる。このため、セルがメモリに溜まりやすく、結果としてセルがメモリから溢れてセル損失を生ずる確率が高くなる。

【0005】 (2) 出力バッファ方式では、各出力ポートにセルを一時的に格納するメモリを用意する。入力ポートにセルが到着すると、ただちに出力ポートのメモリに転送される必要がある、そのため入力ポートと出力ポートのメモリを繋ぐバスは入力ポートの情報伝送速度に入力ポート数に乗じた速度以上で動作する必要がある。

【0006】 (3) 共有バッファ方式では、ただ一つのバッファを用意する。すべての入力ポートに到着したセルがバッファに直ちに転送され、その後、バッファ内部に蓄積されたセルが出力ポートにより読み出される。全ての入力ポートと出力ポートが一つのバッファとやりとりを行うため、バッファと入力ポート及び出力ポートの間を繋ぐバスは、入力ポートの情報伝送速度に入力ポート数に乗じた数と、出力ポートの情報伝送速度に出力ポート数に乗じた数を加えた速度以上で動作する必要がある。

【0007】

【発明が解決しようとする課題】 ところで、上記(1) 入力バッファ方式はバスの動作速度が(2) 出力バッファ方式と(3) 共有バッファ方式よりも小さいが、フレーム損失率は(2) 出力バッファ方式と(3) 共有バッファ方式よりも大きい。(2) 出力バッファ方式と(3) 共有バッファ方式ではフレーム損失率が(1) 入力バッファ方式よりも小さいが、バスの動作速度が

(1) 入力バッファ方式よりも大きい。

【0008】以上の理由により、従来のATM交換機構は、セル損失率を低く抑えつつセル交換速度をある値以上に向上させることが困難だった。

【0009】本発明は、上記実情に鑑みてなされたものであり、バスの動作周波数を抑え、かつ、セル（フレーム）損失率を従来の入力バッファ方式を用いたATM交換機構よりも低く抑えることのできるフレーム交換装置及び方法の提供を目的とする。

【0010】

【課題を解決するための手段】本発明に係るフレームデータ交換装置は、上記課題を解決するために、データを所定量のフレーム単位で交換するフレームデータ交換装置において、入力ポート側に外部から到着したフレームデータを格納する入力バッファ手段と、上記入力バッファ手段に格納された各フレームデータの宛先を見て各フレームデータを出力ポートに対応させて分配する分配手段と、上記分配手段で出力ポートに対応させて振り分けられたフレームデータを一時的に蓄積するために上記出力ポートに対応するように上記分配手段の先に接続される、メモリ手段と、上記メモリ手段と上記出力ポートとの間を繋ぐスイッチング手段と、上記スイッチング手段を制御する調停手段とを備える。

【0011】また、本発明に係るフレームデータ交換方法は、上記課題を解決するために、データを所定量のフレーム単位で交換するためのフレーム交換方法において、入力ポート側に外部から到着したフレームデータを入力バッファに格納するフレームデータ格納工程と、上記フレームデータ格納工程により格納された各フレームデータの宛先を見て各フレームデータを出力ポートに対応させて分配する分配工程と、上記分配工程で出力ポートに対応させて分配されたフレームデータをメモリ部に一時的に蓄積するフレームデータ蓄積工程と、上記メモリ部と上記出力ポートとの間のスイッチング部を制御する調停工程と、上記調停工程で調停されたスイッチング部の使用許可に応じてフレーム蓄積工程で蓄積されたフレームデータを出力ポートに転送する転送工程とを備える。

【0012】

【発明の実施の形態】以下、本発明の実施の形態について図面を参照しながら説明する。

【0013】この実施の形態は、例えばMPEGデータを記録している複数のハードディスクドライブ（HDD）から入力ポートに送られてくる所定量のフレーム単位のフレームデータを非同期転送モード（Asynchronous Transfer Mode：ATM）で出力ポートに転送するATM交換装置である。通常、ATM交換装置は、53バイトを1セルデータとして扱う。以下、ATMセル交換装置と記す。

【0014】このATMセル交換装置は、図1に示すように、4つの入力ポート11、12、13、14と4つの出

力ポート61、62、63、64を持つ。実際には入出力ポートの数は4以下でも4以上でも構わない。

【0015】この図1に示すATMセル交換装置は大きく分けて5つの部分から構成される。先ず、外部から入力ポート11、12、13、14に到着したセルデータC_nを格納する入力バッファ21、22、23、24と、入力バッファ21、22、23、24から出てきたセルデータC_nの宛先を見ながら別の出口に振り分ける分配回路31、32、33、34と、分配回路31、32、33、34の各出口の先に繋がる小容量メモリ群41、42、43、44と、小容量メモリ群41、42、43、44と出力ポート61、62、63、64の間を繋ぐスイッチングマトリクスSWMと、そのスイッチングマトリクスSWMを制御する調停回路51、52、53、54である。

【0016】入力バッファ2_nは53バイトの1セルを32個分蓄えることができる。

【0017】小容量メモリ群41、42、43、44は、各入力ポートについて出力ポートの数だけ小容量メモリを備える。例えば、小容量メモリ群41は、4つの小容量メモリB1-1、B1-2、B1-3及びB1-4を備える。また、小容量メモリ群42は、4つの小容量メモリB2-1、B2-2、B2-3及びB2-4を備える。また、小容量メモリ群43は、4つの小容量メモリB3-1、B3-2、B3-3及びB3-4を備える。また、小容量メモリ群44は、4つの小容量メモリB4-1、B4-2、B4-3及びB4-4を備える。ここで、一つの小容量メモリB_n-n_kは、5つに分割されており、5つのセルを蓄える。

【0018】分配回路31、32、33、34は、ATMセルデータの内の、ATMヘッダから宛先を見、4つの出力ポートに対応させた、小容量メモリ群4_nの内の、一つの小容量メモリB_n-n_kに分配する。

【0019】具体的には図2に示す構成である。ヘッダ検出部10はATMセルデータの内、ATMヘッダを検出する。このヘッダ検出部10で検出されたATMヘッダはアドレス判断部11に送られる。アドレス判断部11は上記ATMヘッダの内の所定ビット数からなるアドレスを解読する。そして、切換スイッチ12を被選択端子a、b、c、dの内の一つに切り換え、ATMセルデータを4つの出力ポートに対応させた、小容量メモリ群4_nの内の、一つの小容量メモリB_n-n_kに送る。

【0020】ATMヘッダには図3の（a）に示すように、5バイト（byte）が割り当てられている。先頭から、ジェネリックフローコントロール（Generic Flow Control：GFC）に4ビット。続いてバーチャルパスアイデンティファイア（Virtual Path Identifier：VPI）に8ビット。さらに続いてバーチャルチャネルアイデンティファイア（Virtual Channel Identifier：VCI）に16ビット。以下、ペイロードタイプ（Payload Type：PT）に3ビット。セルロスプライオリティ（Cell Loss Priority：CLP）に1ビット。ヘッダエラーコ

ントロール (HeaderError Control:HEC) に8ビットが割り当てられる。

【0021】GFCはシェアドメディアでのアクセス制御に用いる。VPIは仮想パスの識別子として用い、VCIは仮想チャネルの識別子として用いる。PT、CLP、HECは本発明における交換機能には無関係な制御情報として用いる。

【0022】通常、アドレスとして用いるのは、図3の(b)に示すように、VPIとVCIの合わせて24ビットからである。ただし、大規模な事業者はGFCの4

【0023】実際には、図3の(c)に示すように、VPIのLSBから3ビットとVCIのLSBから5ビットを併せた8ビットからアドレスが生成されているので、このアドレスをアドレス判断部11で判断する。

【0024】スイッチングマトリクスSWMは出力ポート一つに対してバスを一つ用意する形で実現されている。したがってバスの本数は出力ポートの数(=4)に等しい。これらのバスはそれぞれの先に繋がる出力ポート6₁、6₂、6₃、6₄に属する調停回路5₁、5₂、5₃、5₄により制御される。

【0025】調停回路5₁、5₂、5₃、5₄が制御する内容は複数の入力ポート1₁、1₂、1₃、1₄から小容量メモリ群4₁、4₂、4₃、4₄を通して送られてくるセルC_nがバスを使用する権利を調停することである。

【0026】調停回路5₁の内部の構成を図4に示す。この調停回路5₁には、上記4つの小容量メモリ群4₁、4₂、4₃、4₄の内の、一番上の小容量メモリB1-1、B2-1、B3-1、B4-1からのデータバスがスイッチングマトリクスSWMを通して接続されている。また、それぞれの小容量メモリB1-1、B2-1、B3-1、B4-1と調停回路5₁間には、小容量メモリB1-1、B2-1、B3-1、B4-1から調停回路5₁に送られるセル転送要求RQ#用の信号線と、調停回路5₁から小容量メモリB1-1、B2-1、B3-1、B4-1に送られるセル転送許可AK#用の信号線が接続されている。調停回路5₁は複数、例えば二つの小容量メモリから競合状態で上記転送要求を受け取ると何らかの適切な手段によりセル転送要求を一つ選択する。例えば、上記転送要求#中に優先度を示す信号が含まれているときには優先度判定部13を使って優先度を判定し、優先度の高い転送要求を選択する。そして、その優先度の高い転送要求を出してきた小容量メモリB_n-n₁にセル転送許可AK#を返す。

【0027】以下、典型的な動作を図5～図10を用いて説明する。

【0028】先ず、図5に示すように、入力ポート1₁にセルC₁が入ってくる。セルC₁は入力ポート1₁の入力バッファ2₁に貯えられる。

【0029】次に、図6に示すように、入力バッファ2

1からセルC₁が出力され、分配回路3₁により宛先となる出力ポート(この場合出力ポート6₁)を決定される。それに応じてセルC₁は適当な小容量バッファ(この場合、入力ポート1₁から入ってきた出力ポート6₁行きのセルC₁のための小容量バッファB1-1)に格納される。

【0030】次に、図7に示すように、小容量バッファB1-1にセルC₁が入ると、小容量バッファB1-1は調停回路(この場合、出力ポート6₁の調停回路5₁)にセル転送要求RQ1を送る。

【0031】次に、図8に示すように、調停回路5₁が小容量バッファB1-1にセル転送の許可を返す。

【0032】すると、図9に示すように、小容量バッファB1-1はスイッチングマトリクスSWMを介してセルC₁を出力ポート6₁に送り、セル転送要求RQ1を止める。そして、図10に示すように、出力ポート6₁からセルC₁が出力される。

【0033】次に、二つの小容量バッファが同一の出力ポートに対してセル転送要求を送る場合(競合状態)の動作を、図11～図17を用いて説明する。

【0034】先ず、図11に示すように、入力ポート1₁にセルC₁が入ってくる。セルC₁は入力ポート1₁の入力バッファ2₁に貯えられる。同時に入力ポート1₄にセルC₄が入ってくる。セルC₄は入力ポート1₄の入力バッファ2₄に貯えられる。

【0035】次に、図12に示すように、セルC₁は分配回路3₁により小容量バッファB1-1に格納される。同時にセルC₄は分配回路3₄により小容量バッファB4-1に格納される。

【0036】次に、図13に示すように、小容量バッファB1-1は調停回路5₁にセル転送要求RQ1を送る。同時に小容量バッファB4-1も調停回路5₁にセル転送要求RQ4を送る。

【0037】次に、図14に示すように、調停回路5₁は何からの適切な手段、例えば上記図4に示したような優先度判定部13を用いてセル転送要求RQ#の一つを選択する。この場合、小容量バッファB1-1からのセル転送要求を選択する。調停回路5₁は小容量バッファB1-1にセル転送の許可AK1を返す。

【0038】次に、図15に示すように、小容量バッファB1-1はスイッチングマトリクスSWMを介してセルC₁を出力ポート6₁に送り、セル転送要求RQ1を止める。次に調停回路5₁は小容量バッファB4-1からのセル転送要求RQ4を受け付け、セル転送許可AK4を小容量バッファB4-1に返す。

【0039】すると、図16に示すように、出力ポート6₁からセルC₁が出ていく。同時に小容量バッファB4-1はスイッチングマトリクスSWMを介してセルC₄を出力ポート6₁に送り、セル転送要求RQ4を止める。そして、図17に示すように、出力ポート6₁からセルC₄

7
が出ていく。

【0040】特に、本発明においては小容量バッファB₁-1が図12に示すように一時的なセルの格納場所を提供するので、分配回路3₁は入力バッファ2₁から新しいセルC_nを受け取り、処理することが出来る。したがってHOLブロッキングが生じにくい。

【0041】また、小容量バッファはただ一つの出力ポートにセルを転送するので、スイッチングマトリクスSWMはN:1のマルチプレクサ構造であれば充分となる。これは完全なクロスバー構造よりずっと単純である。

【0042】さらに小容量バッファは、そのメモリ内容をスイッチングマトリクスSWMにFIFO順に出力すればよく、このような回路は高速に構成することが可能である。

【0043】以上のように上記実施例形態となるATMセル交換装置によれば、小容量バッファを設けることで、ATMセル交換機構の内部のバスを低く抑えられる入力バッファ方式の欠点であるHOLブロッキング現象の発生頻度を低く抑えることができる。

【0044】上記ATMセル交換装置を用いた場合の入力バッファ方式のセル損失率(Cell Loss Ratio:CLR)の改善の様子を図18に示す。

【0045】縦軸はセル損失率、すなわちどのくらいの確率で情報を損失してしまうのかを示す。下にいくほど情報が捨てられないことを意味する。また、横軸はユーティリゼーション(utilization)あるいはネットワーク負荷(network load)であり、回線の何%を使っているか、すなわち入力がどのくらい入っているかを示す。

【0046】具体的には、入力バッファの大きさが32セル分の場合に、出力ポートの情報伝送速度を100%として入力ポートに入力する情報量を65%から95%まで変化させたときのセル損失率(10を底とする対数表示)を示している。5つのグラフが描かれているが、これらは小容量バッファの大きさを1セル~5セルまで変化させた場合に対応したもので、上から順に小容量バッファの大きさBが、1, 2, 3, 4, 5の場合に対応している。小容量バッファの分割数Bを大きくして行くほどセル損失率が小さくなる。

【0047】比較のために、入力バッファ方式におけるセル損失率の簡易計算特性を図19に、また、出力バッファ方式におけるセル損失率の簡易計算特性を図20に示す。共に、バッファ数を8、16、24、32、40、48というように増やして計算している。

【0048】図19においては、バッファ数が多くなるほど、セル損失率が小さくなるが、その効果が顕著に現れるのは、ネットワーク負荷(network load)が80%を下回る付近である。

【0049】また、図20においても、バッファ数が多

くなるほどセル損失率が小さくなることが分かる。この効果はあらゆるネットワーク負荷にわたって現れている。

【0050】上記図18に示した上記ATMセル交換装置の効果では、バッファ数が少ない間は上記図19に示した入力バッファ方式と同じ特性であり、バッファ数が増えるにしたがって上記図20に示した出力バッファ方式に近い特性へと自然に変化する。

【0051】図21にはバッファ数を48としたときの、出力バッファ方式と入力バッファ方式のセル損失率を示す。上側が入力バッファ方式の特性であり、下側が出力バッファ方式の特性である。ネットワーク負荷が高い場合に入力バッファ方式の性能が急激に劣化する状況が示されている。

【0052】本発明の実施の形態のATMセル交換装置では、十分な段数の小容量メモリを備えることで、出力バッファ方式に近い特性を持たせられるため、下側のグラム(出力バッファ方式)に近い性能が得られる。

【0053】また、上記ATMセル交換装置では、宛先ごとにセルを蓄積するため、バースト転送や複数セルを一括して転送する手段を採用しやすい。これは、バスの動作周波数を抑える働きを持つ。

【0054】

【発明の効果】本発明によれば、バスの動作周波数を抑え、かつ、セル損失率を従来の入力バッファ方式を用いたATMセル交換機構よりも低く抑えることのできるフレーム交換装置及び方法を提供できる。

【図面の簡単な説明】

【図1】本発明の実施の形態となるATMセル交換装置の構成を示す図である。

【図2】上記図1に示したATMセル交換装置中の分配回路の具体例を示す図である。

【図3】上記分配回路で検出するATMヘッダのフォーマット図である。

【図4】上記ATMセル交換装置中の調停回路の動作を説明するための図である。

【図5】上記ATMセル交換装置の典型的な動作の内、入力ポートにセルが入ってくる様子を示す図である。

【図6】上記ATMセル交換装置の典型的な動作の内、入力バッファからセルが出力され、分配回路により宛先となる出力ポートが決定される様子を示す図である。

【図7】上記ATMセル交換装置の典型的な動作の内、小容量バッファにセルが入り、小容量バッファが調停回路にセル転送要求RQ1を送る様子を示す図である。

【図8】上記ATMセル交換装置の典型的な動作の内、調停回路が小容量バッファにセル転送の許可を返す様子を示す図である。

【図9】上記ATMセル交換装置の典型的な動作の内、小容量バッファがスイッチングマトリクスを介してセルを出力ポートに送り、セル転送要求を止める様子を示す

図である。

【図10】上記ATMセル交換装置の典型的な動作の内、出力ポートからセルが出力される様子を示す図である。

【図11】上記ATMセル交換装置において二つの小容量バッファが同一の出力ポートに対してセル転送要求を送る場合（競合状態）の動作の内、二つの入力ポートにそれぞれセルが入ってくる様子を示す図である。

【図12】上記競合状態で、二つのセルが各分配回路により二つの小容量バッファに格納される様子を示す図である。

【図13】上記競合状態で、二つの小容量バッファが調停回路にそれぞれセル転送要求を送る様子を示す図である。

【図14】上記競合状態で、調停回路が二つのセル転送要求の内の一つを選択し、一方にセル転送許可を返す様子を示す図である。

【図15】上記競合状態で、上記セル転送許可を受けた小容量バッファがセルを出力ポートに送り、かつ、調停回路が他の小容量バッファからのセル転送要求を受け付け、セル転送許可を他の小容量バッファに返す様子を示す図である。

す図である。

【図16】上記競合状態で、出力ポートから一のセルが出ていき、同時に他の小容量バッファから他のセルが出力ポートに送られる様子を示す図である。

【図17】上記競合状態で、出力ポートから他のセルが出ていく様子を示す図である。

【図18】上記ATMセル交換装置を用いた場合の入力バッファ方式のセル損失率（Cell Loss Ratio: CLR）の改善の様子を示す特性図である。

【図19】比較のために用いる、入力バッファ方式におけるセル損失率の簡易計算特性図である。

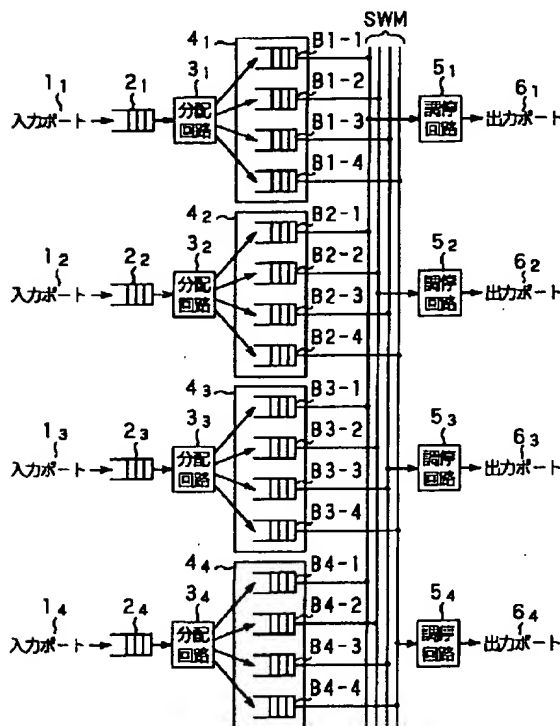
【図20】比較のために用いる、出力バッファ方式におけるセル損失率の簡易計算特性図である。

【図21】バッファ数を48としたときの、出力バッファ方式と入力バッファ方式のセル損失率の簡易計算特性図である。

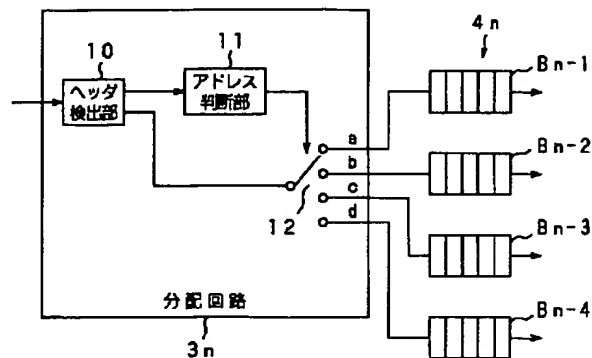
【符号の説明】

1₁, 1₂, 1₃, 1₄ 入力ポート、2₁, 2₂, 2₃, 2₄ 入力バッファ、3₁, 3₂, 3₃, 3₄ 分配回路、4₁, 4₂, 4₃, 4₄ 小容量メモリ群、5₁, 5₂, 5₃, 5₄ 調停回路、6₁, 6₂, 6₃, 6₄ 出力ポート

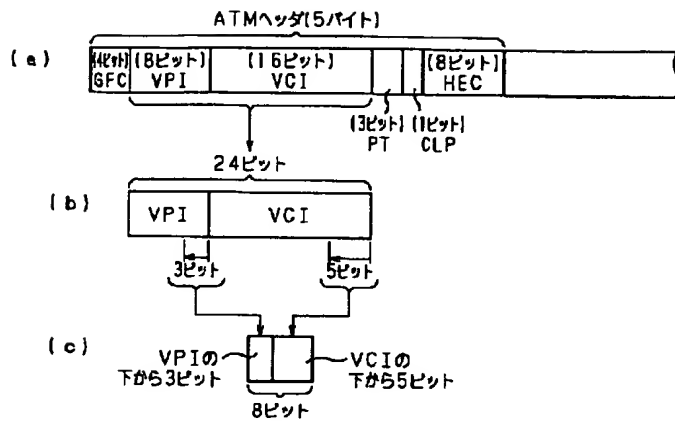
【図1】



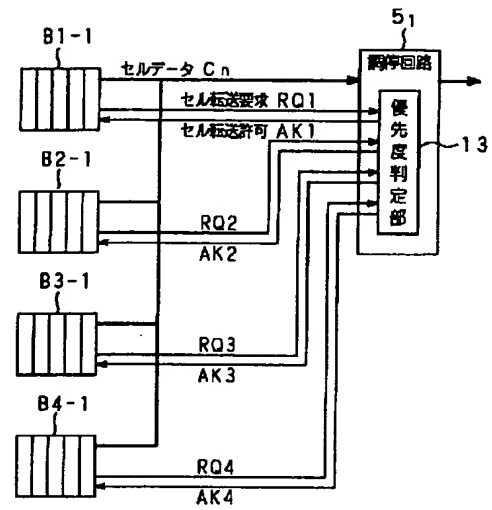
【図2】



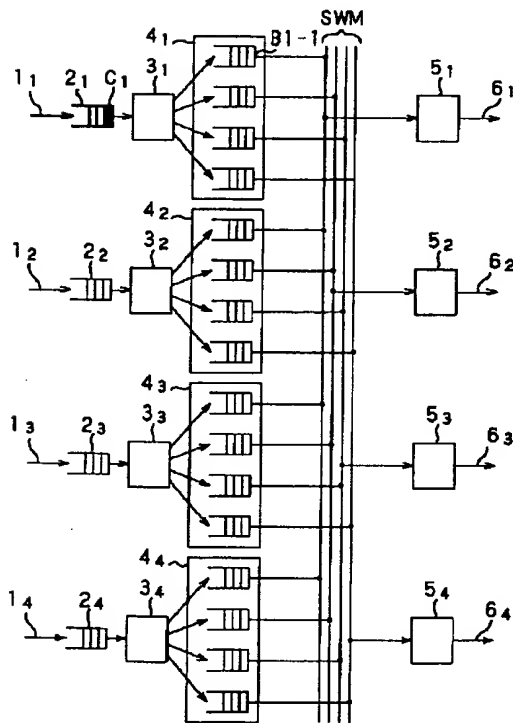
【図3】



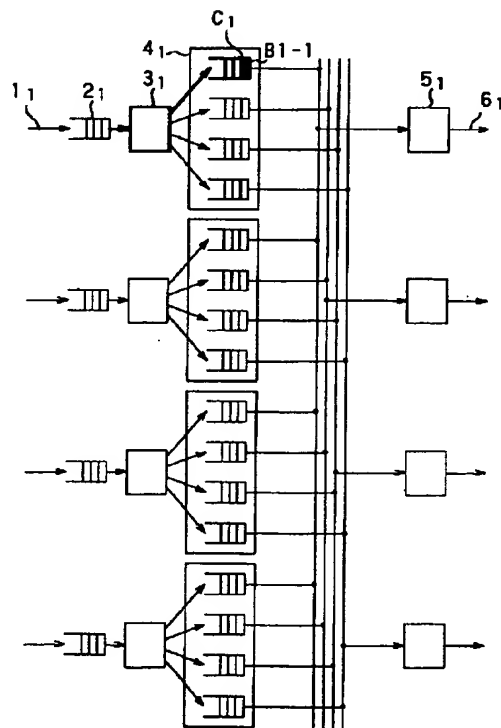
【図4】



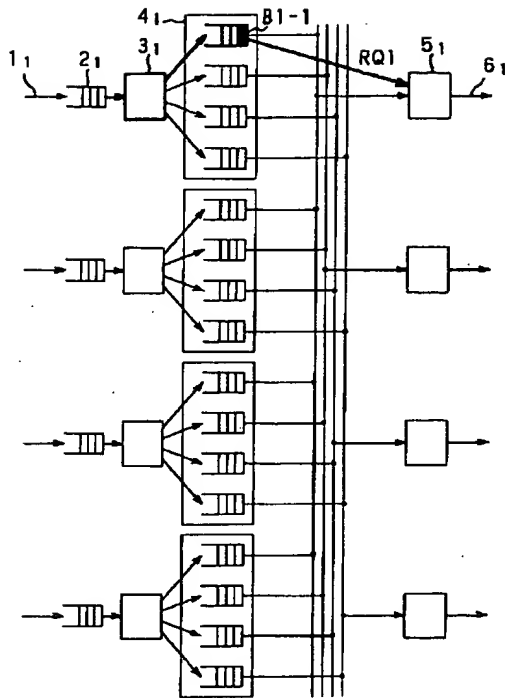
【図5】



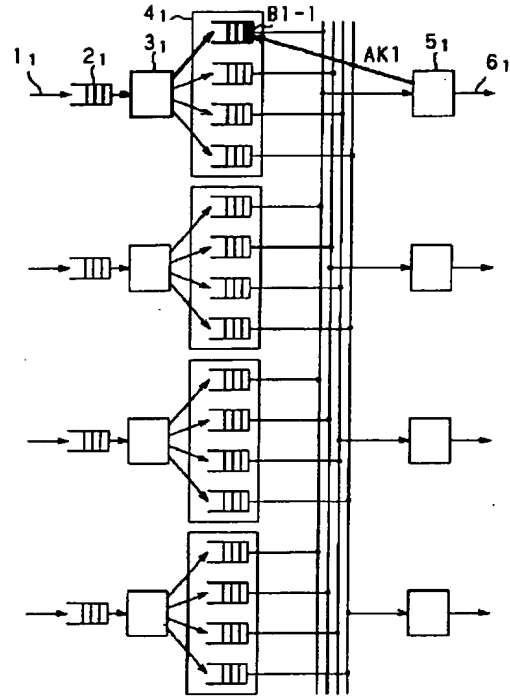
【図6】



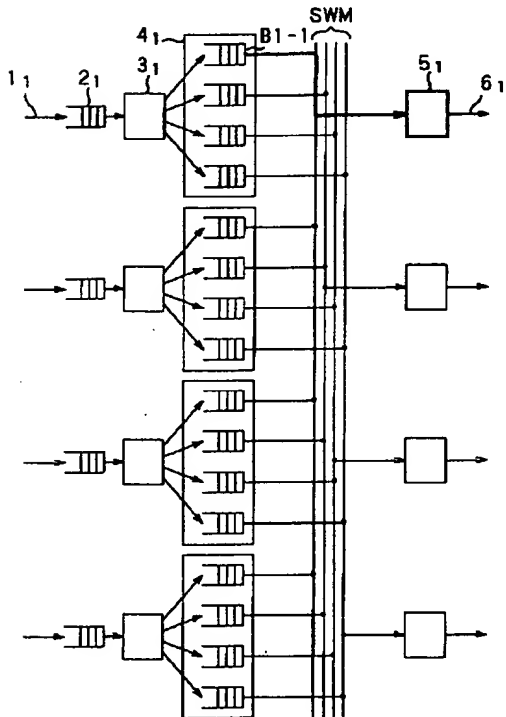
【図7】



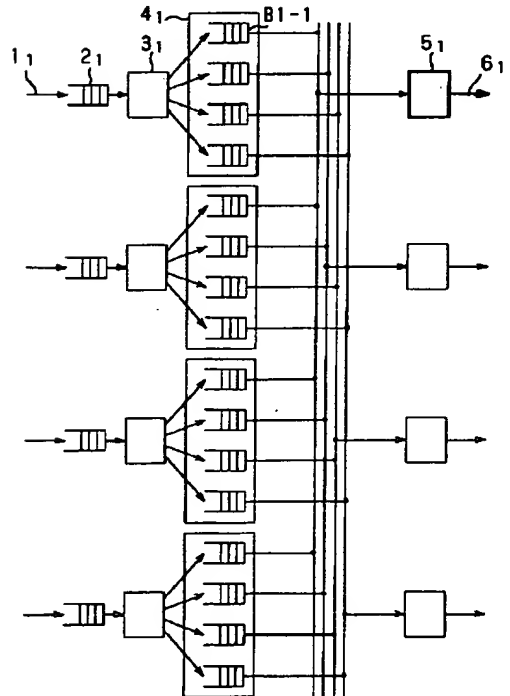
【図8】



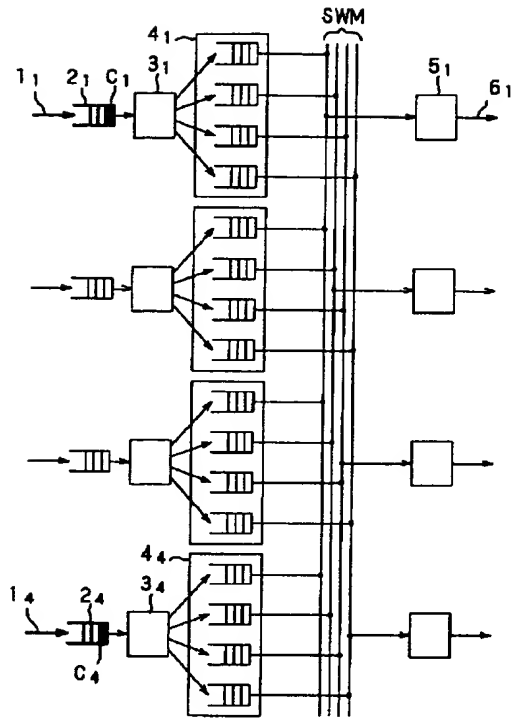
【図9】



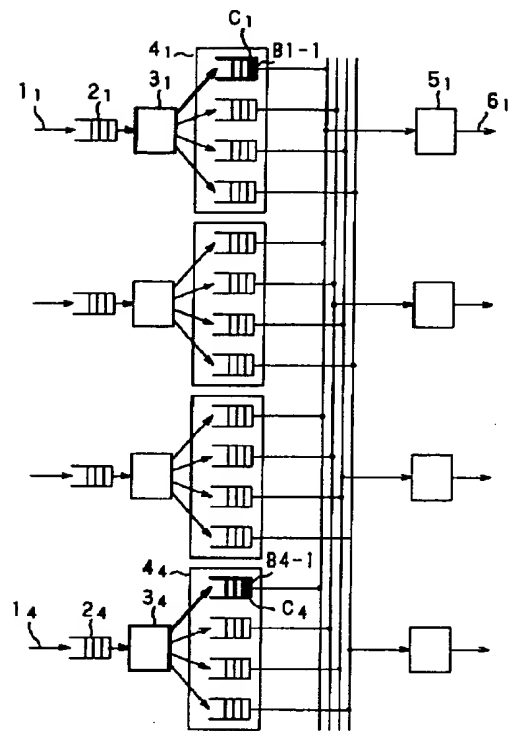
【図10】



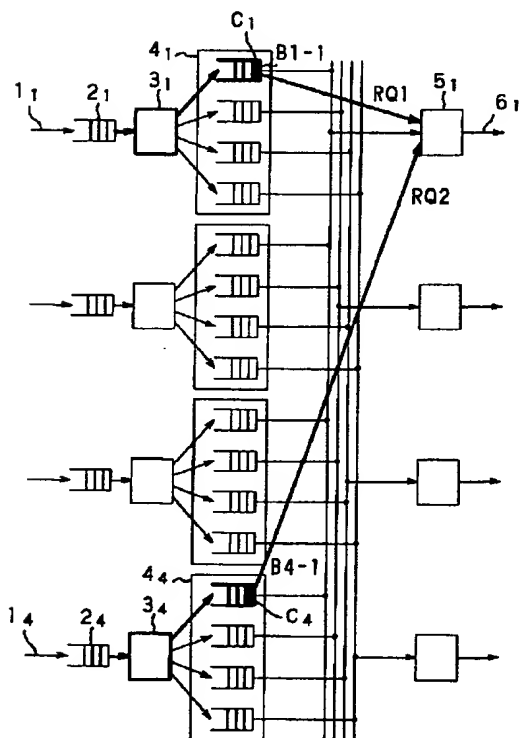
【図11】



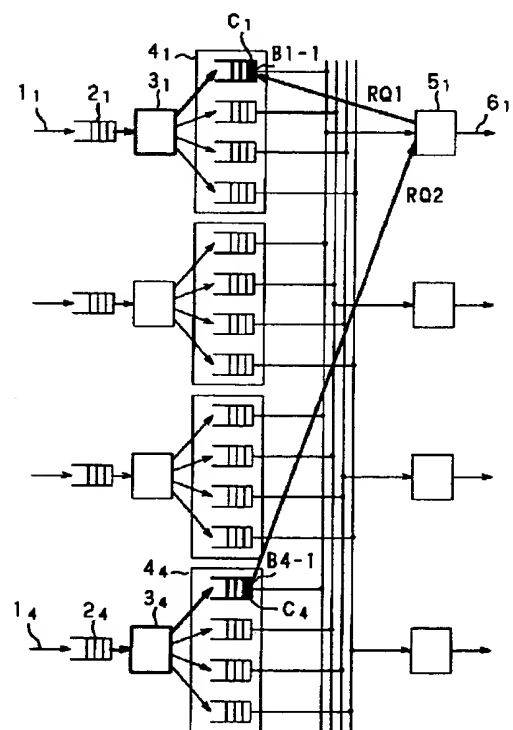
【図12】



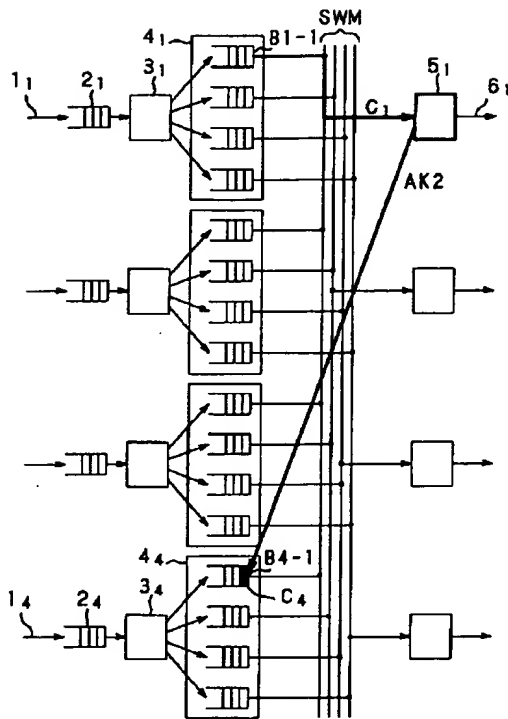
【図13】



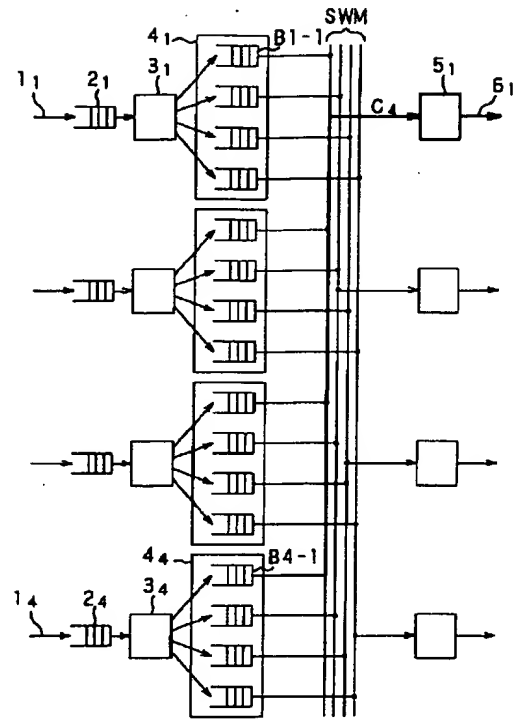
【図14】



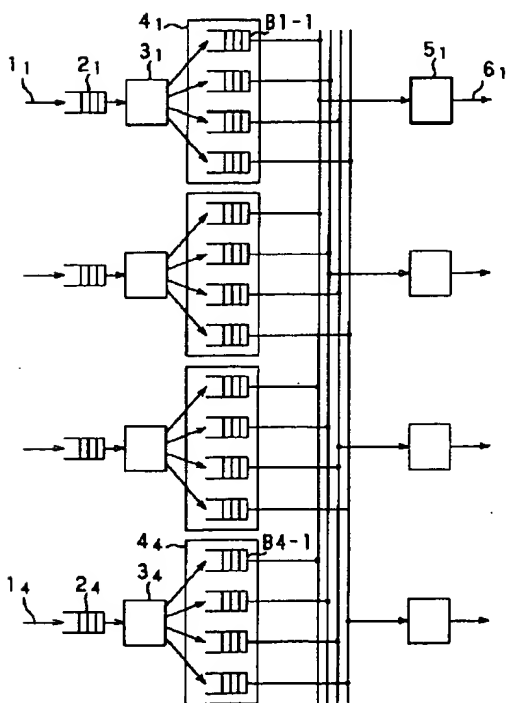
【図15】



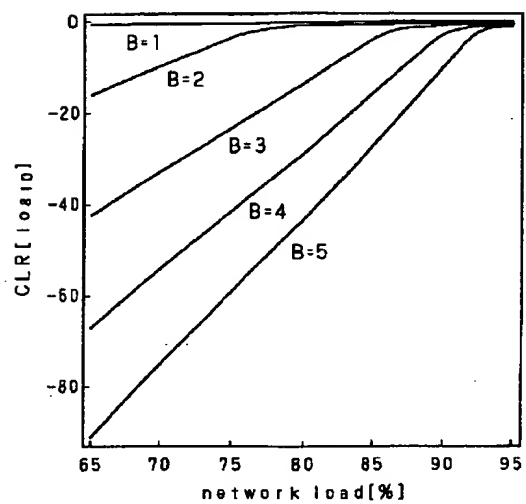
【図16】



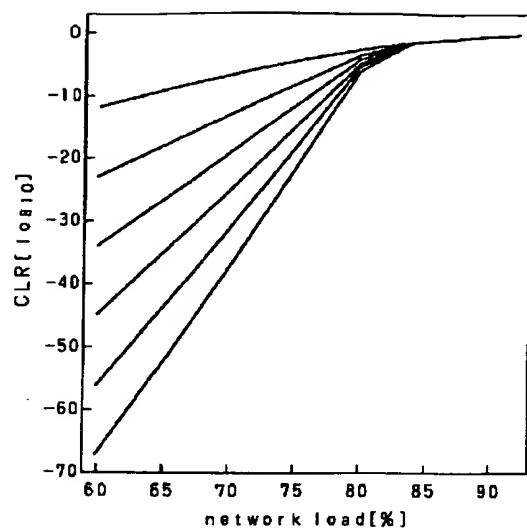
【図17】



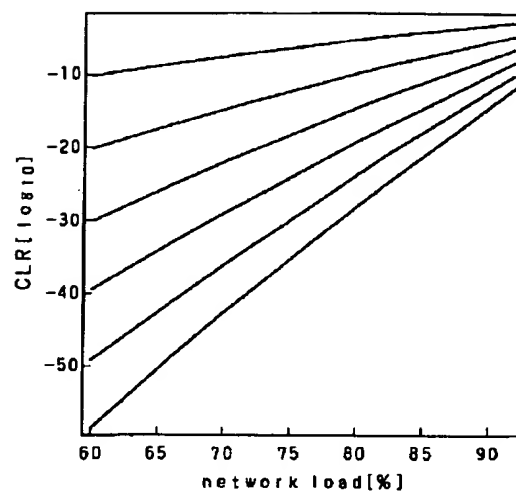
【図18】



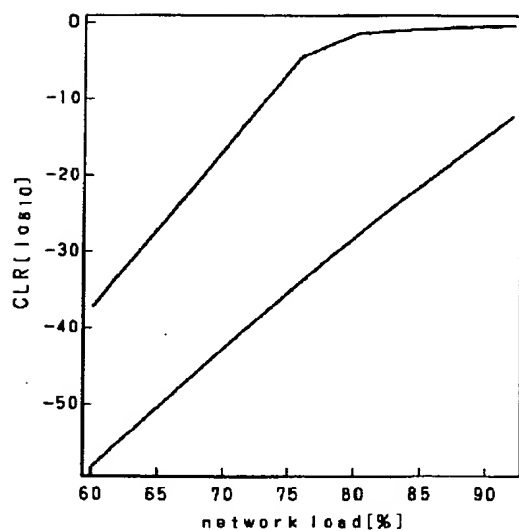
【図19】



【図20】



【図21】



フロントページの続き

(72)発明者 國頭 義之
東京都品川区北品川6丁目7番35号 ソニ
ー株式会社内

Fターム(参考) 5K030 GA11 HA10 HB00 HB17 KX12
KX18 KX29 LA03 LE05
9A001 BB04

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record.**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☒ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☒ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.

THIS PAGE BLANK (USPTO)